

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-123051

(43)Date of publication of application : 26.09.1981

(51)Int.Cl.

G06F 15/16

G06F 13/00

(21)Application number : 55-027027

(71)Applicant : OMRON TATEISI ELECTRONICS CO

(22)Date of filing : 03.03.1980

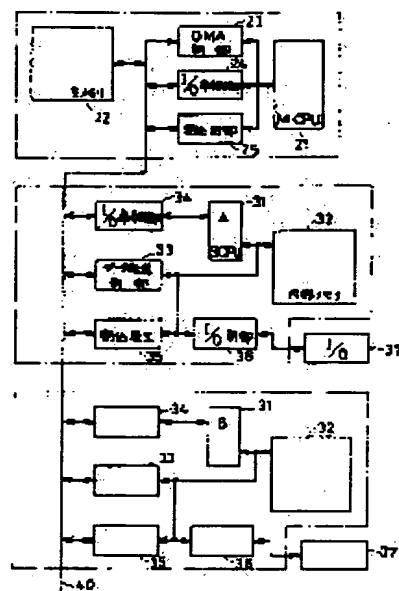
(72)Inventor :
ONISHI KENICHI
NAGAO MINORU
KAWAI MAKOTO
SAEKI MASAHIRO

(54) DATA TRANSFER SYSTEM IN MASTER SLAVE SYSTEM

(57)Abstract:

PURPOSE: To eliminate excessive busses, by causing the slave CPU to access the main memory by the main memory access instruction, which is read out from the main memory by the command from the master CPU, in the master slave system.

CONSTITUTION: In case of data transfer between main memory 22 and internal memory 32 in the slave CPU, instructions including the main memory read instruction and the main memory write instruction for this data transfer stored in main memory 22 are read out to slave CPU21 by master CPU21. Slave CPU21 processes these instructions to access main memory 22 and executes data transfer between main memory 22 and internal memory 32. Consequently, even if the master CPU cannot access the internal memory of the slave CPU directly, the master CPU instructs data transfer between the internal memory of the slave CPU and the main memory without providing excessive address busses and data busses.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭56—123051

⑪ Int. Cl.³
G 06 F 15/16
13/00

識別記号
1 0 1

庁内整理番号
7165—5B
7361—5B

⑬ 公開 昭和56年(1981)9月26日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ マスタ・スレーブ・システムにおけるデータ
転送方式

⑮ 特 願 昭55—27027

⑯ 出 願 昭55(1980)3月3日

⑰ 発 明 者 大西謙一
京都市右京区花園土堂町10番地
立石電機株式会社内

⑱ 発 明 者 永尾実
京都市右京区花園土堂町10番地

⑲ 発 明 者 立石電機株式会社内
川井信
京都市右京区花園土堂町10番地
立石電機株式会社内

⑳ 発 明 者 佐伯正広
京都市右京区花園土堂町10番地
立石電機株式会社内

㉑ 出 願 人 立石電機株式会社
京都市右京区花園土堂町10番地

㉒ 代 理 人 弁理士 岸本守一 外2名

明 細 書 (1)

1. 発明の名称

マスタ・スレーブ・システムにおける
データ転送方式

2. 特許請求の範囲

- (1) 主メモリを備えたマスタ中央処理装置と、
内部メモリを備え前記マスタ中央処理装置に
よつて制御される複数台のスレーブ中央処理
装置とからなり、前記主メモリは前記スレー
ブ中央処理装置によりアクセスされ得るマス
タ・スレーブ・システムにおいて、前記主メ
モリから前記内部メモリへデータ転送を指令
するためのリード命令または前記内部メモリ
から前記主メモリへデータ転送を指令するた
めのライト命令を含む命令を前記主メモリに
記憶し、前記スレーブ中央処理装置は、前記

マスタ中央処理装置からの起動により前記命
令を得、得た前記命令にもとづいて前記主メ
モリをアクセスして前記主メモリと前記内部
メモリとの間のデータ転送を実行することを
特徴とする、マスタ・スレーブ・システムに
おけるデータ転送方式。

- (2) 転送データがプログラムであつて、前記命
令中にリード・ジャンプ命令が含まれており、
このリード・ジャンプ命令があつた場合に、
スレーブ中央処理装置は、プログラム・デー
タ転送終了後前記内部メモリ内に読込んだプ
ログラムにジャンプする、特許請求の範囲第
(1)項記載のマスタ・スレーブ・システムにお
けるデータ転送方式。

3. 発明の詳細な説明

この発明は、マスタ・スレーブ・システムに

おけるデータ転送方式に関する。

主メモリを備えたマスタ中央処理装置(マスタCPUという)と、このマスタCPUによって制御され内部メモリを有する複数台のスレーブ中央処理装置(スレーブCPUという)とからなり、スレーブCPUによつて入出力装置を制御するマスタ・スレーブ・システムはよく知られている。そして、主メモリと前記内部メモリとの間のデータ転送は、スレーブCPUによつて行なわれるようになっていっているものがある。

このようなマスタ・スレーブ・システムにおいては、マスタCPUはスレーブCPUの内部メモリを直接アクセスできないようになっていいる。マスタCPUがスレーブCPUの内部メモリをアクセスすることができるようになるために、別のデータバス、アドレスバス、制御回路

(3)

マスタCPU(2)は複数のスレーブCPU(3)と、データバス、コントロールバスおよびアドレスバスを含むバス(4)で結ばれている。この例ではスレーブCPU(3)は便宜的に2台示されているが必要に応じて適数台設けられる。2台のスレーブCPUを区別するときにはそれぞれを(31A)(31B)とする。スレーブCPU(3)はそれぞれ専用の入出力装置(5)を制御するものである。マスタCPU(2)は、主メモリ(22)、この主メモリ(22)からのまたは主メモリ(22)へのスレーブCPU(3)による読出し、書き込みを制御するDMA制御回路(23)、マスタCPU(2)の入出力命令制御回路(24)および割込制御回路(25)を備えている。各スレーブCPU(3)は、その内部メモリ(32)、主メモリ(22)との間でデータのやりとりするためにDMA制御回路(23)と交信するデータ転送制御回路(26)、入出

(5)

等を設けることが考えられる。しかし、このようにすると、データバスやアドレスバスの配線が複雑になり、スレーブCPUの制御にもとづくデータ転送とマスタCPUの制御にもとづくデータ転送との両方が混在することになり、主メモリと内部メモリとの間のデータ転送のための制御回路も複雑になる。

この発明は、余分のデータバスやアドレスバス等を設けることなしに、結果的にマスタCPUがスレーブCPUの内部メモリをアクセスして主メモリと内部メモリとの間のデータ転送を制御したことになるマスタ・スレーブ・システムにおけるデータ転送方式を提供するものである。

以下図面を参照してこの発明を詳細に説明する。第1図において、システム全体を制御する

(4)

力命令制御回路(24)、割込発生回路(25)および専用人出力装置(5)に対する入出力制御回路(26)をそれぞれ備えている。

主メモリ(22)および内部メモリ(32)は、第2図に示すように、各種データを記憶するデータ・メモリとして機能する部分と、マスタCPU(2)、スレーブCPU(3)のそれぞれの実行プログラムを格納したプログラム・メモリとして機能する部分とからそれぞれ構成されている。主メモリ(22)のデータ・メモリには、後述するようにスレーブCPU(3)を起動した後、スレーブCPU(3)によつてリードさせる命令コードをセットするエリア(M1)が設けられ、プログラム・メモリにはスレーブCPU(3)の内部メモリ(32)に転送されるスレーブCPU(3)の実用プログラムが記憶されている。エリア(M2)から転送されたプログラ

(6)

ムを記憶するエリア(M3)が設けられている。内部メモリ②のプログラム・メモリには、データ転送制御回路③を制御してデータ転送を行なうプログラムを格納するエリア(M4)、主メモリ②のエリア(M2)から読出したプログラムを記憶するエリア(M5)および主メモリ②のエリア(M3)に転送すべきプログラムが記憶されているエリア(M6)が設けられている。これらのエリア(M2)(M3)(M5)(M6)はもちろん1箇所に限られることなく、適当なアドレス範囲にわたって適数箇所設けることができるのはいうまでもない。またそのアドレス範囲は固定であつてもその都度指定するものであつてもよい。

マスタCPU②からスレーブCPU③に送られる命令コードは、第3図に示す指令内容およびDMA情報である。DMA情報は、主メモリ

(7)

とづいてスレーブCPU③により開始される。第4図および第5図を参照して、マスタCPU②は命令コードを主メモリ②のエリア(M1)にセットし(ステップ(1))、プログラム出力命令により特定のスレーブCPU③を起動する(ステップ(2))。スレーブCPU③は、入出力命令制御回路④⑤を介して発生する内部割込によつて、マスタCPU②からのプログラム出力命令を認識する(ステップ(3))。その結果、マスタCPU②が主メモリ②を使用していない空き時間を利用してスレーブCPU③は、データ転送制御回路③、DMA制御回路④を介してデータ転送を行ない主メモリ②のエリア(M1)にセットされている命令コードを取込む(ステップ(4))。そして、命令コード中のスレーブCPU識別コードがそのスレーブCPU③を示すものと一致する

(9)

②内のデータ転送に参与するエリア(この例ではエリア(M2)または(M3))の先頭アドレス、内部メモリ②内のデータ転送に参与するエリア(M5)または(M6))の先頭アドレスおよび転送ワード(バイト)数から構成されている。また、第3図に示す指令内容は、内部メモリ②のエリア(M6)の内容を主メモリ②のエリア(M3)に転送する場合のライト命令、主メモリ②のエリア(M2)の内容を内部メモリ②のエリア(M5)に転送する場合のリード命令、エリア(M2)のプログラムをエリア(M5)に転送したプログラムにジャンプすべきことを示すジャンプ命令、およびスレーブCPU③を指定するS・CPU識別コードからなる。

主メモリ②と内部メモリ②との間のプログラム・データの転送はマスタCPU②の制御にも

(8)

かどうかをみる(ステップ(5))。そして、識別コードによつて指定されたスレーブCPU③のみが、ステップ(6)の割込処理を除く以下の処理を実行する。

スレーブCPU識別コードが一致すれば、命令コードの命令をみて、ライト命令か(ステップ(6))、リード命令か(ステップ(7))を判断する。ライト命令であれば、スレーブCPU③は、データ転送制御回路③を制御してDMA制御回路④と交信させ、マスタCPU②が主メモリ②を使用していない空き時間に、DMA情報によつて指定された内部メモリ②の開始アドレス(エリア(M6))から順番に指定ワード数だけのプログラム・データを読出して、主メモリ②の開始アドレス(エリア(M3))から順番にデータ転送する(ステップ(8))。データ転送終了後、ス

(10)

スレーブCPU(11)はマスターCPU(10)に対して割込
みをかけ、転送処理が終了したことを知らせる
(ステップ10)。リード命令の場合には、ライ
ト命令と同様にデータ転送制御回路(13)とDMA
制御回路(14)との交信によりデータ転送のタイミ
ングを検出しながらDMA情報によつて指定さ
れた主メモリ(12)の開始アドレス(エリア(M2))
から指定ワード数のプログラム・データを、内
部メモリ(15)の開始アドレス(エリア(M5))から
順番にデータ転送する(ステップ11)。そして、
命令コードの命令中にジャンプ命令があるかど
うかをみて(ステップ12)、ジャンプ命令があ
ればエリア(M4)のDMAプログラムから読込ん
だ(M5)のプログラムにジャンプし、そのプログ
ラムを実行する(ステップ13)。この後、すべ
ての処理が終了したことを割込によつてマスタ

(11)

割込によつてデータ転送が終了したことを知る
(ステップ13)。これにより、マスターCPU(10)
の制御によつてスレーブCPU(11)が内部メモリ
(15)と主メモリ(12)との間のデータ転送を主メモリ
(12)に対する直接メモリアクセス(DMA)で実
行したことになる。

上記の例ではプログラムが転送データとなつ
ているが、他の各種のデータを主メモリ(12)と内
部メモリ(15)との間で転送することもできるのは
言うまでもない。

以上詳細に説明したようにこの発明によれば、
スレーブCPUにより主メモリが直接アクセスさ
れ得るようになってきているマスタ・スレーブ・シ
ステムにおいて、主メモリにスレーブCPUの
内部メモリのアクセスを指令する旨の命令内容
を記憶し、スレーブCPUはマスターCPUから

(13)

CPU(10)に知らせる(ステップ14)。ジャンプ
命令がない場合には、マスターCPU(10)に割込を
かけ転送処理が終了したことを知らせる(ステ
ップ14)。ステップ14(14)でライト命令、リード
命令のいずれでもないことを確認した場合には、
何らの処理も実行することなく、ステップ14に
移つてマスターCPU(10)に割込をかける。また、
スレーブCPU識別コードによつて指定されて
いないことを検出すると(ステップ15でNO)、
スレーブCPU(11)は、上述の処理のいずれも実
行することなく、ステップ14に移つてマスターC
PU(10)に割込をかける。なお、ステップ12でジ
ャンプ指令があつたときに先に割込をかけ(ス
テップ14)、その後プログラムを実行する(ス
テップ13)ようにしてもよい。

マスターCPU(10)は、スレーブCPU(11)からの

(12)

② 起動により前記命令内容を取込み、取込んだ前
記命令にもとづいて前記主メモリをアクセスし
て前記主メモリおよび前記内部メモリ間のデー
タ転送をするので、余分のデータバスやアドレ
スバス等を設ける必要がなく、マスターCPUが
スレーブCPUの内部メモリをアクセスして主
メモリと内部メモリとの間のデータ転送を制御
したことになる。これにより、マスターCPUの
主メモリとスレーブCPUの内部メモリとの間
でデータの転送が可能となるので、スレーブC
PUの内部メモリ(たとえばP・ROM)の内
容チェックをマスターCPUで行なうことができ
るようになり、またスレーブCPUの内部メモ
リにないプログラム、たとえばスレーブCPU
のハードウェアのチェック用プログラム、ス
レーブCPUの拡張プログラムなどを、マスタ

(14)

C P U の管理する外部記憶装置からマスタ C P U に読出し、さらにスレーブ C P U に転送することにより、スレーブ C P U で実行することができるようになる。

4. 図面の簡単な説明

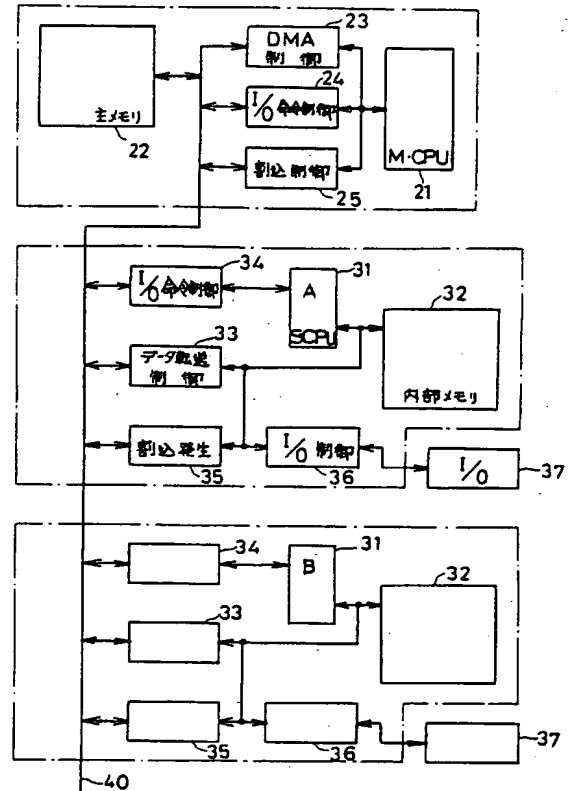
第 1 図は全体の構成を示すブロック図、第 2 図は主メモリと内部メモリの内容を示す図、第 3 図は命令コードのフォーマットを示す図、第 4 図はマスタ C P U の処理手順を示すフロー・チャート、第 5 図はスレーブ C P U の処理手順を示すフロー・チャートである。

01・・・マスタ中央処理装置、02・・・主メモリ、03・・・D M A 制御回路、04・・・スレーブ中央処理装置、05・・・内部メモリ、06・・・データ転送制御回路。

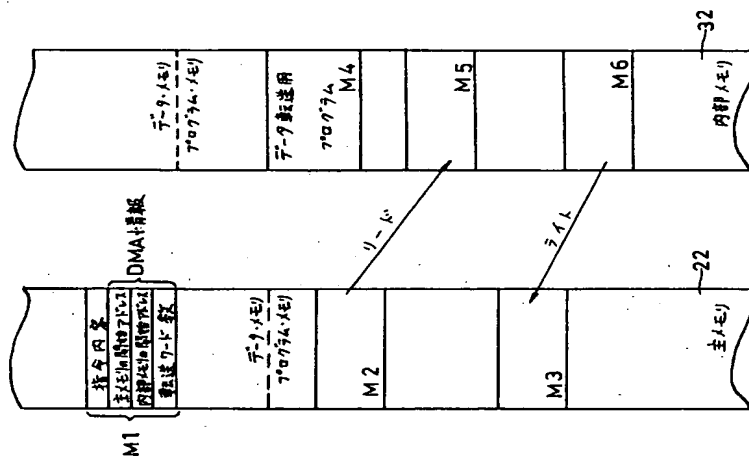
以 上

09

第 1 図



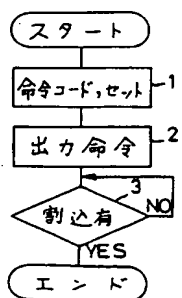
第 2 図



第 3 図



第 4 図



第 5 図

